Atklāta konkursa ar identifikācijas Nr. RTU-2015/39

Nolikuma 2.1. pielikums

**Tehniskā specifikācija un tehniskais piedāvājums (forma)**

**1.iepirkuma daļa “Integrālo shēmu izstrādes rīku komplekts (2 komplekti)”**

<Vietas nosaukums>, <gads>, <datums>, <mēnesis>

Pretendents < Nosaukums> ir iepazinies ar Rīgas Tehniskās universitātes organizētā atklātā konkursa “Integrālo shēmu izstrādes rīku komplekta, FPGA aparatūrisko izstrādes rīku piegāde Rīgas Tehniskās universitātes vajadzībām Eiropas Reģionālās attīstības fonda līdzfinansētā projekta „(IKSA CENTRS) Informācijas, komunikāciju un signālapstrādes tehnoloģiju valsts nozīmes pētniecības centra izveide” (vienošanās Nr.2011/0044/2DP/2.1.1.3.1./11/IPIA/VIAA/006) aktivitāšu ietvaros”, iepirkuma ID Nr. RTU-2015/39 nolikumu un iesniedz šādu tehnisko piedāvājumu:

Pielietojums: Integrālo shēmu izstrāde/pētniecība/testēšana

1. komplekta saturs:

1. Integrālo shēmu izstrādes rīku kopa *CADENCE* vai ekvivalents (2 licences)
2. Integrālo shēmu izstrādes rīku kopa *Synopsis* vai ekvivalents (1 licences)
3. Integrālo shēmu izstrādes rīku kopa *Mentor Graphics* vai ekvivalents (2 licences).

2. komplekta saturs:

1. *Xilinx* FPGA un CPLD integrālo shēmu izstrādes rīku kopa (1 licence).
2. *Altera* FPGA un CPLD integrālo shēmu izstrādes rīku kopa (1 licence).
3. Integrālo shēmu izstrādes rīku kopa *Tanner Tools Pro* vai ekvivalents (1 licence).

\*\* \*Ja Pasūtītājam nebūs pieejami finanšu līdzekļi visa 1.iepirkuma daļas iepirkuma priekšmeta kompekta iegādei, Pasūtītājam pirms līguma noslēgšanas ir tiesības atteikties no atsevišķām iepirkuma priekšmeta komplekta daļām šādā secībā:

1. 1. komplekta 2.pozīcijas **“**Integrālo shēmu izstrādes rīku kopa Synopsis vai ekvivalents”;
2. 2. komplekta 3.pozīcijas “Integrālo shēmu izstrādes rīku kopa *Tanner Tools Pro* vai ekvivalents”;
3. 2. komplekta 2.pozīcijas “Altera FPGA un CPLD integrālo shēmu izstrādes rīku kopa”;
4. 2 komplekta 1.pozīcijas “Xilinx FPGA un CPLD integrālo shēmu izstrādes rīku kopa”.

Secība norādīta prioritārā kārtībā, t.i. sākumā Pasūtītājs atsakās no 1.zemāk norādītās pozīcijas “~~2.komplekta~~ 1.komplekta 2.pozīcijas“Integrālo shēmu izstrādes rīku kopa Synopsis vai ekvivalents“ , ja finansējums jopropjām ir nepietiekams, tad atsakās no 2.zemāk norādītās pozīcijas “2.komplekta ~~6.pozīcijas~~ 3.pozīcijas“Integrālo shēmu izstrādes rīku kopa Tanner Tools Pro vai ekvivalents” utt.

Tehniskās prasības programmatūrai:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **Preces nosaukums** | **Tehniskā specifikācija** | **Nepieciešamais skaits** | **Tehniskais piedāvājums\*** |
| **1. komplekts** |
| **1.** | **Integrālo shēmu Izstrādes rīku kopa *CADENCE* vai ekvivalents** | **Rādītājs** | **Minimālā prasība** |  |  |
| Iekļaujāmas pakas  | IC & System Package;PCB Studio Package; Encounter 3D-IC Option; RF SiP design and Digital SiP design Option. | **2 licences**  |  |
| Izstrādājamo shēmu tipi | Analogās ASIC, ciparu ASIC, jauktās (mixed-signal) ASIC |  |
| Izstrādes detalizācija | No IS arhitektūras līdz strukturālajai realizācijai |  |
| Izstrādes etapi | Shēmas izveide, simulācija, verifikācija, testēšana un realizācija PCB |  |
| Shēmu apraksta valodas | Grafiskā, VHDL, Verilog, AMS-VHDL |  |
| Shēmu testēšanas iespējas | Ar *Dracula, Assura* vai to ekvivalentiem |  |
| Shēmu analīzes veidi | Vismaz termiskā, EMC efektu, signālu integritātes analīze PCB līmenī |  |
| Savietojamība | Ar Simulink EDA-links |  |
| Operētājsistēma | Linux vai Windows |  |
| Licence | 2 gab. Katrai licence jābūt paredzētai tās vienlaicīgai izmantošanai vismaz 1 darba vietā  |  |
| Darbības laiks  | Vismaz 3 gadi |  |
| **2.** | **Integrālo shēmu izstrādes rīku kopa *Synopsis* vai ekvivalents** | Iekļaujāmas pakas  | Combined Front End and Verification / Implementation ToolsAnalogue Simulation and Modelling;Advanced TCAD | **1 licence**  |  |
| Izstrādājamo shēmu tipi | Ciparu ASIC un FPGA |  |
| Izstrādes etapi | Shēmas sintēze, simulācija, verifikācija |  |
| Shēmu apraksta valodas | VHDL, Verilog, SystemC |  |
| Simulācijas papildiespējas | Jauktā HDL simulācija |  |
| Shēmu verifikācijas iespējas | Dinamiskā un statiskā Verilog/VHDL laika analīze (*timing analysis*) |  |
| Sistēmu izstrādes iespējas | Pamatmoduļi ADSL, Bluetooth, CDMA, CDMA2000, DVB, GSM, MPEG2, MPEG4, WLAN izstrādei |  |
| Savietojamība | Ar Simulink EDA-links |  |
| Operētājsistēma | Linux |  |
| Licence | 1 gab. Sākuma licence, katrai licencei jābūt paredzētai tās vienlaicīgai izmantošanai vismaz 1 darba vietā |  |
| Darbības laiks  | Vismaz 3 gadi |  |
| **3.** | **Integrālo shēmu izstrādes rīku kopa *Mentor Graphics* vai ekvivalents** | Iekļaujāmas pakas  | Full Mentor Graphics Suite(Physical Design, Analysis, FPGA and High Speed Board Design);Olympus Option to Full Suite | **2 licences**  |  |
| Izstrādājamo shēmu tipi | Ciparu ASIC un FPGA, jauktās (mixed-signal) ASIC |  |
| Izstrādes etapi | Konceptualizācija, shēmas izstrāde, simulācija, verifikācija |  |
| Shēmu apraksta valodas | VHDL, Verilog |  |
| Simulācijas papildiespējas | Jauktā VHDL&Verilog simulācija ar C modeļu atbalstu |  |
| Loģiskā sintēze | ASIC shēmām un FPGA |  |
| Shēmu verifikācijas iespējas | Verifikācija fizikālajā līmenī ar optimizāciju, statiskā laika analīze (*timing analysis*) |  |
| PCB (iespiedplašu) konteksta atbalsts | Iespēja izstrādāt ASIC un FPGA shēmas kontekstā ar PCB |  |
| Savietojamība | Ar Simulink EDA-links |  |
| Operētājsistēma | Linux Red Hat |  |
| Licence | 2 gab. Sākuma licence, katrai licencei jābūt paredzētai tās vienlaicīgai izmantošanai vismaz 1 darba vietā |  |
| Darbības laiks  | Vismaz 3 gadi |  |
| **2. komplekts** |
| **1.** | ***Xilinx* FPGA un CPLD integrālo shēmu izstrādes rīku kopa** | Izstrādājamo shēmu tipi | FPGA un CPLD | **1 licence**  |  |
| Izstrādes etapi | Shēmas sintēze, simulācija, verifikācija |  |
| Shēmu apraksta valodas | VHDL, Verilog |  |
| Programmējamo shēmu saimes | Vismaz Virtex-7 |  |
| Savietojamība ar citu firmu simulatoriem | DSP sistēmu (mikroshēmu) izstrāde ar simulācijas sistēmu MATLAB/SIMULINK  |  |
| Iespēja izstrādāt interfeisus | 32 un 64 bitu PCI |  |
| Operētājsistēma | Red Hat Linux/Windows |  |
| Licence | 1 gab.ISE daudzlietotāju licence tās vienaicīgai izmantošanai vismaz 1 darba vietā |  |
| Darbības laiks  | Vismaz 3 gadi |  |
| **2.** | ***Altera* FPGA un CPLD integrālo shēmu izstrādes rīku kopa** | Izstrādājamo shēmu tipi | FPGA un CPLD | **1 licence**  |  |
| Izstrādes etapi | Shēmas sintēze, simulācija, verifikācija |  |
| Shēmu apraksta valodas | AHDL, VHDL, Verilog |  |
| Programmējamo shēmu saimes | Cyclone, Stratix, Cyclone V, Cyclone IV, StratixV, Stratix IV, Max V, Arria, Max II. |  |
| Papildus programmēšanas iespējas | *NIOS* procesora un DSP izstrādes iespējas |  |
| Savietojamība ar citu firmu simulatoriem | DSP sistēmu (mikroshēmu) izstrāde ar simulācijas sistēmu MATLAB/SIMULINK  |  |
| Operētājsistēma | UNIX/Windows |  |
| Licence | 1 gab.Vismaz 1 darba stacijas (UNIX) “peldošā” licence) |  |
| Darbības laiks  | Vismaz 3 gadi |  |
| **3.** | **Integrālo shēmu izstrādes rīku kopa *Tanner Tools Pro* vai ekvivalents** | Izstrādājamo shēmu tipi | Analogās IS, jauktās (mixed signal) IS, RF IS, mikroelektromehāniskās (MEMS) sistēmas..  | **1 licence**  |  |
| Izstrādes detalizācija | Shēmas līmeņa, strukturālā detalizācija |  |
| Izstrādes etapi | Shēmas izveide, simulācija, verifikācija, testēšana, failu sagatavošana pasūtījumam no rūpnīcas. |  |
| Shēmu apraksta valodas | Grafiskā, Verilog, VHDL, shēmas bloki atbalsta PSPICE, HSPICE sintaksi. |  |
| Shēmu testēšanas iespējas | Atbalsta DRC un LVS noteikumus savietojamus ar Dracula, Calibre formātiem. |  |
| MEMS izstrādes rīks | Ļauj redzēt atsevišķi katru līmeni. |  |
| Operētājsistēma | Red Hat Linux |  |
| Licence | 1 gab.Licence tās vienaicīgai izmantošanai vismaz 1 darba vietā |  |
| Darbības laiks  | Vismaz 3 gadi |  |

\* Tehniskajā piedāvājumā pretendents norāda šādu informāciju: **<Preces ražotājs, modeļa nosaukums (ja ir)>,** tai skaitā, norādīt:

1) interneta vietnes saiti uz ražotāja mājaslapu, kur iespējams pārliecināties par preces atbilstību. **Pretendenta aizpildīta aile, kurā būs rakstīts tikai "atbilst", tiks uzskatīta par nepietiekošu informāciju**;

2) sastāvdaļas ražotāju un modeļa nosaukumu, numuru (ja ir);

3) ražotāja izdota dokumenta, kas pievienots piedāvājumam, lpp. un pozīciju, pēc kuras var spriest par piedāvātās preces parametra atbilstību prasībām.

 Pretendents, lai apliecinātu atbilstību Pasūtītāja izvirzītajām vispārējām prasībām, aizpilda tabulu:

|  |  |  |
| --- | --- | --- |
| *Nr.p.k.* | *Vispārējās prasības:* | Pretendenta apstiprinājums |
|  | *Preču piegādi Pretendents veic elektroniski atbilstoši iepirkuma līguma nosacījumiem* |  |
|  | Piegādes adrese: e-pasts:\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |  |

Ar šo apstiprinām un garantējam:

1. sniegto ziņu patiesumu un precizitāti;
2. vadošais darbinieks, kurš koordinēs piegādi \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ (vārds, uzvārds, e-pasts, tālrunis).

Pretendenta pārstāvja amats, vārds, uzvārds:

Paraksts: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_